

文章编号: 0427-7104(2012)01-0007-08

适用于多种无线通信标准的宽带 CMOS 频率综合器

周 谦, 李 巍, 黄德平, 李 宁, 任俊彦

(复旦大学 专用集成电路与系统国家重点实验室, 上海 201203)

摘要: 采用小数分频锁相环路、正交单边带混频器和除 2 除法器设计了一款全集成 CMOS 频率综合器, 以满足多种无线通信标准的要求。提出基于双模压控振荡器(DMVCO)的频率综合器架构, 一方面能够通过除 2 除法器覆盖 3 GHz 以下的无线通信频段, 另一方面 DMVCO 自身又替代了额外的多相滤波器来抑制混频器引入的镜像杂散。频率自动校准电路能对压控振荡器的频率进行快速、准确的校准。频率综合器采用 TSMC 0.13 μm CMOS 工艺进行设计。仿真结果表明, 在输出频率为 900 MHz 时频偏在 0.6 MHz 处, 频率综合器的相位噪声为 -122 dBc/Hz ; 在功耗不大于 56 mW 的情况下, 频率综合器实现了 0.4~6 GHz 的频率覆盖范围。

关键词: 多模无线通信; 压控振荡器; 频率自动校准; 频率综合器

中图分类号: TN 402

文献标志码: A

当今社会, 无线通信在人们的生活和工作中发挥着举足轻重的作用。为了追求更快的数据传输率以及更高的频谱利用率, 越来越多的无线通信标准出现在目前的空间环境中, 譬如, 手机通信标准 GSM (global system for mobile communications) 和 WCDMA (wideband code division multiple access), 短距离无线数据通信标准 Bluetooth, 802.11b/a/g WLAN (wireless local area network), UWB (ultra-wideband) 和 802.15.3c, 无线导航标准 GPS (global positioning system) 以及无线电视广播标准 DVB-T (digital video broadcasting-terrestrial) 等。

为了适应目前无线通信的发展趋势, 研发一款能支持多种无线通信标准的多模射频收发机是目前国内工业界和学术界的热点^[1-3]。多模射频收发机的心脏是频率综合器, 一款能适用于多种无线通信标准的多模频率综合器需要具备非常宽的频率范围以覆盖各种不同无线通信标准的工作频段, 同时还需要达到一定的相位噪声指标以满足无线通信的标准要求。

本文针对多模射频收发机的应用, 提出一种新的基于双模压控振荡器(dual-mode voltage-controlled oscillator, DMVCO)^[4]的频率综合器架构, 并在 TSMC 0.13 μm CMOS 工艺下完成其电路实现。系统仿真以及版图后仿真结果表明, 该频率综合器能适用于多种无线通信标准, 包括: DVB-T, GSM, GPS, WCDMA, Bluetooth 以及 802.11b/a/g WLAN。

1 频率综合器的指标分析以及系统架构

1.1 多模频率综合器的指标分析

频率综合器的指标主要包括输出频率范围、相位噪声和建立时间等。

由于零中频收发机相比其他结构的收发机具有集成度高、功耗低的优点, 本设计中的频率综合器旨在应用于零中频结构的收发机当中, 因此频率综合器的输出频率范围即为其所需要支持的无线通信标准所在的频段。

收稿日期: 2010-01-20

基金项目: 国家高技术研究发展计划(“863”计划)(2009AA01Z261), 国家科技重大专项(2009ZX03006-007-01, 2009ZX03007-001)资助项目

作者简介: 周 谦(1985—), 男, 硕士研究生; 李 巍, 副教授, 通讯联系人, E-mail: w-li@fudan.edu.cn.

相位噪声性能是频率综合器最重要的性能指标之一,通常由无线通信标准的邻道选择特性和阻塞特性决定。因为窄带手机移动通信标准往往要求在很强的邻道干扰情况下仍然能实现一个比较高的接收信噪比,所以 GSM 制式手机通信标准与其他需要支持的通信标准相比,对频率综合器的带外相位噪声性能的要求是最苛刻的。另外,与窄带通信系统不同,对于宽带无线通信系统,比如对于短距离数据通信标准 802.11b/a/g WLAN 来说,其对频率综合器的带内积分相位噪声要求比较高。根据 WLAN 的协议要求,其积分噪声通常要小于 -34 dBc ,对于一个环路带宽为 100 kHz 的频率综合器来说,其带内相位噪声应该为 -84 dBc/Hz 。

频率综合器建立时间由其环路带宽决定。在 TDMA/FDD 系统中,比如手机通信标准 GSM,由于发射和接收使用不同的频率,并且发射和接收不同时进行,分别在各自的时隙内完成,因此要求频率综合器的建立时间小于 $865 \mu\text{s}$ 。但是,并非所有的通信标准都对建立时间有要求,比如 GPS 和 WLAN 等。

本设计中频率综合器的设计指标小结如表 1 所示。为了满足所有的无线通信标准,频率综合器的输出频率范围必须覆盖 $0.4 \sim 6 \text{ GHz}$ 的频率范围。至于相位噪声性能方面,GSM 具有最严格的带外相位噪声要求,而 802.11a 具有最苛刻的带内相位噪声要求,因此本文中的频率综合器用这 2 个典型的无线通信标准来约束整个频率综合器相位噪声性能的优化设计。最后,锁定时间选取 $100 \mu\text{s}$ 为频率综合器的设计目标。

表 1 本设计中频率综合器的设计指标
Tab. 1 Specifications for frequency synthesizer

无线标准	工作频段/MHz	信道间隔/MHz	相位噪声/(dBc · Hz ⁻¹)	锁定时间/μs
DVB-T	474~860	8	$-80@\text{in band}; -120@1 \text{ MHz}$	224
GSM	890~915; 935~960	0.2	$-121@0.6 \text{ MHz}; -162@20 \text{ MHz}$	865
GPS	1575.42	2	$-121@14 \text{ MHz}$	NA
WCDMA	1920~1980; 1805~1875	5	$-110@2.5 \text{ MHz}; -150@130 \text{ MHz}$	NA
Bluetooth	2400~2483.5	1	$-121@3 \text{ MHz}$	229
802.11b/g	2400~2483.5	25	$-84@\text{in band}; -121@14 \text{ MHz}$	NA
802.11a	5150~5350; 5725~5850	20	$-84@\text{in band}; -100.2@20 \text{ MHz}$	NA

1.2 传统频率综合器架构存在的问题

为了避免发射机和接收机同时集成在一块芯片上所带来的牵引效应,以及得到在零中频收发机中所需要的正交载波信号,频率综合器的输出通常都是经过压控振荡器(voltage-controlled oscillator, VCO)输出除 2 后得到的。在宽带多模频率综合器当中,VCO 的调谐范围需达 67% 以上,以保证通过除 2 操作就能覆盖所有的无线通信频段。为了同时实现高达 67% 的频率调谐范围以及良好的相位噪声性能,传统的频率综合器常使用双 VCO 的除法器架构^[2-3]。由于 802.11a 标准工作在 5 GHz 频段,如果采用传统的除法器架构,那么 VCO 需要工作在 11.7 GHz 。在 $0.13 \mu\text{m}$ CMOS 工艺下,工作在 11.7 GHz 的 VCO 及其缓冲器以及高频频除法器需要消耗大量的功耗,这在电池供电的手持设备应用中是无法接受的。另外一种频率综合器架构是采用除法器和混频器相结合的方式对 VCO 的输出进行上变频来得到 802.11a 标准所需要的频点^[1]。尽管通过这种方式,VCO 只需要工作在相对比较低的频段上,功耗可以大为减小,但是,混频器的使用会带来镜像信号杂散的问题。为了抑制混频器的镜像杂散,传统的方法需要通过正交压控振荡器(quadrature VCO, QVCO)或者多相滤波器(polyphase filter, PPF)来为混频器提供正交输入信号以实现单边带混频。但这又会带来其他的问题:一方面,QVCO 调谐范围有限,通常不会超过 35%^[1],不能简单通过除 2 操作覆盖所有需要支持的无线通信频段;另一方面,PPF 由于自身会引入损耗,需要消耗大量的功耗。

1.3 本文提出的频率综合器架构

为了解决上述传统多模频率综合器架构中存在的问题,本文提出一种新的基于 DMVCO 的频率综合器架构。该架构一方面使 VCO 工作在相对较低频段并实现 67% 的调谐范围来支持各个无线通信标准,另一方面也避免了大功耗的 PPF 的使用。本文中频率综合器的系统架构如图 1 所示,主要由 3 个部分组成:一个小数分频锁相环环路(phase locked loop, PLL),一个频率自动校准电路(automatic frequency

calibration, AFC)以及频率综合部分(LO Generator).之所以使用小数分频结构,是因为要满足如表 1 中所示各种无线通信标准不同信道间隔的要求.频率综合部分主要包括一个 VCO 选通器(MUX),一个正交单边带混频器(quadrature singleside band mixer, QSSBM)以及一个除 2 除法器(Div2)链路.双模压控振荡器由一个工作在 4~6 GHz 的高频段 VCO (HB VCO)和一个工作在 3~4.8 GHz 的低频段 VCO (LB VCO)构成. DMVCO 有 2 种工作模式: 宽带模式(wideband mode)和正交模式(quadrature mode).在宽带模式下, HB VCO 和 LB VCO 只有一个上电工作,并且 2 个 VCO 和在一起实现 3~6 GHz 即 67% 的 VCO 调谐范围,保证 VCO 能够通过除 2 操作覆盖 3 GHz 以下的无线通信标准;在正交模式下, HB VCO 和 LB VCO 均上电,并且同时工作在它们的交叠区域,通过并联的正交耦合管来产生正交信号,以供 QSSBM 来实现单边带混频,于是避免了 PPF 的使用.

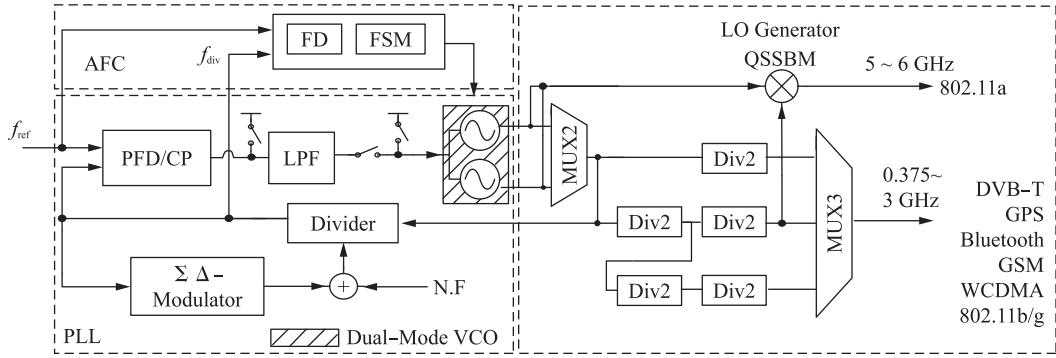


图 1 本文中频率综合器的结构框图

Fig. 1 Simplified diagram of the proposed frequency synthesizer

频率综合器的频谱规划如图 2^[4] 所示.由于相位噪声性能经过除 2 除法器后有 6 dB 的提高,所以为了满足 GSM 等具有苛刻相位噪声要求的通信标准,这些通信标准的载波输出被安排在了除 2 除法器的后面.对 802.11a WLAN 来说,其主要受带内积分相位噪声性能的约束,而带内相位噪声性能由电荷泵噪声和 PLL 环路参数决定,通常的电荷泵和 PLL 环路设计是能够达到 WLAN 的要求的,因此本文对该设计不作详细论述.但是,由于 WLAN 的载波输出在本文中被安排在会引入镜像杂散的 QSSBM 的后面,因此在接下来的电路设计部分中,除了关注相位噪声外,着重分析 QSSBM 的镜像杂散抑制能力.

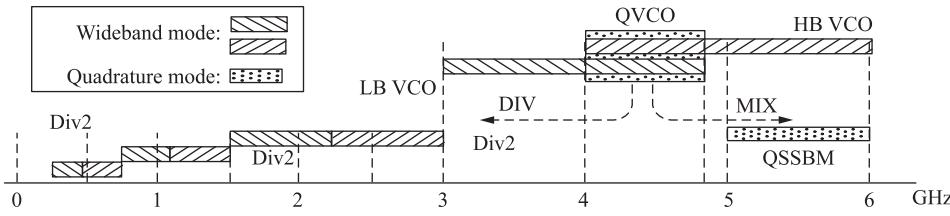


图 2 本文中频率综合器的频谱规划

Fig. 2 Frequency planning of the proposed frequency synthesizer

2 频率综合器的核心电路设计

2.1 双模压控振荡器(DMVCO)的设计

压控振荡器是整个频率综合器中最重要的电路模块.一方面因为压控振荡器自身的相位噪声性能直接决定最终频率综合器的输出带外相位噪声性能;另一方面,在本文中的频率综合器里,QSSBM 对镜像杂散的抑制能力是由 DMVCO 所产生的正交信号的精确度来决定的.

如图 3^[4](见第 10 页)所示,DMVCO 由 HB VCO 和 LB VCO 两个相对独立的压控振荡器构成,并通过正交耦合晶体管(M_C)耦合在一起产生正交信号.为了实现良好的相位噪声性能以满足 GSM 标准的相位噪声要求,压控振荡器采用高能效的 class-C NMOS 交叉耦合结构^[5].因为 class-C 结构具有高的

电流效率,即在消耗同样电流的前提下能得到更大的输出摆幅.采用 NMOS 交叉耦合结构,一方面是因为该结构在 1.2 V 电源电压下较互补交叉耦合结构能实现更好的相位噪声性能,另一方面是因为其寄生电容较小利于实现更宽的压控振荡器调谐范围.

由于实际的压控振荡器产生的正交信号总会存在一定的相位误差与幅度误差,因此 QSSBM 并不能完全抑制镜像杂散信号.在本文中,QSSBM 将 DMVCO 的输出及其经过 2 次除 2 后的输出频率相加后得到 802.11a 标准所需要的载波信号,此时镜像杂散信号落入 3.09~3.51 GHz 频段.为了保证在 3.09~3.51 GHz 这个频段内即使出现和所需信号强度一样的干扰,接收机接收到的信号的信噪比也能满足标准要求,本文中将镜像抑制的设计指标定为 -34 dBc,与 802.11a 的带内积分相位噪声的指标一样.根据实际的单边带混频器的边带抑制比(sideband rejection ratio, SBRR)关系^[6],

$$SBRR = 10 \lg \left[\frac{1 + (1 + \Delta A)^2 + 2(1 + \Delta A) \cos \Delta \phi}{1 + (1 + \Delta A)^2 - 2(1 + \Delta A) \cos \Delta \phi} \right], \quad (1)$$

为保证至少 -34 dBc 以上的边带抑制能力,DMVCO 输出正交信号相位误差 $\Delta \phi$ 必须小于 3° ,幅度误差 ΔA 必须小于 2.5%.

由于幅度误差可以通过调节尾电流源电流和插入缓冲器的方式来减小,因此下面着重定量分析正交压控振荡器的相位误差.图 4 是正交压控振荡器的线性模型,其中 I_1, I_2 是流入谐振腔的交叉耦合管电流, I_{C1}, I_{C2} 是流入谐振腔的正交耦合管电流, $A_1 e^{j\theta_1}, A_2 e^{j\theta_2}$ 是 VCO 的输出电压, Φ_1, Φ_2 代表正交耦合路径上的相移.

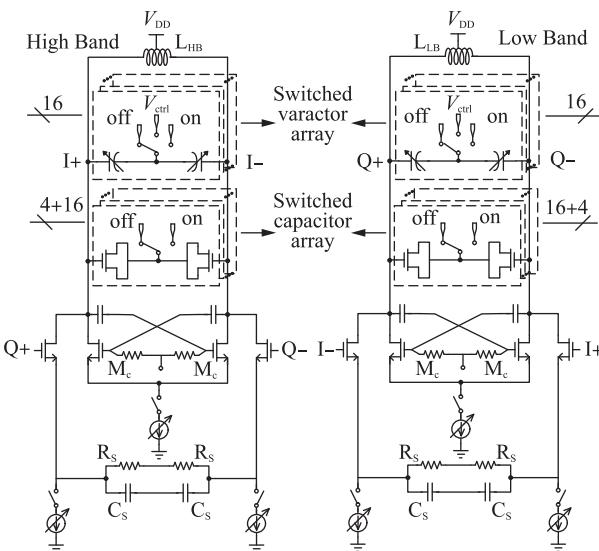


图 3 本文中所提出的双模压控振荡器的电路图

Fig. 3 Circuit diagram of the proposed dual mode VCO

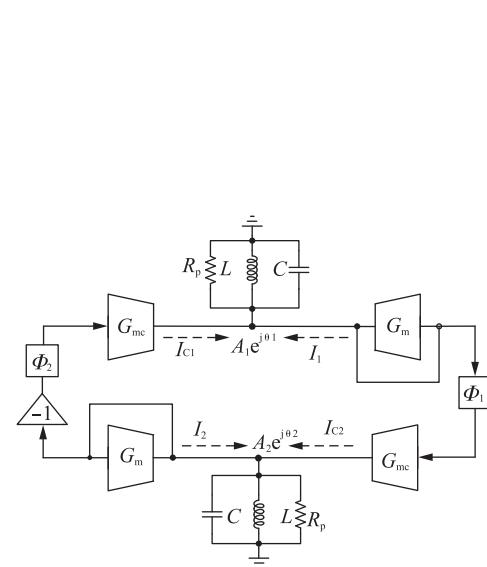


图 4 正交压控振荡器的线性模型

Fig. 4 Linear model of quadrature VCO

根据 Generalized Adler's Equation^[7],构成正交压控振荡器的 2 个耦合在一起的 VCO 各自输出频率分别为,

$$\frac{d\theta_1}{dt} = \omega_{01} - \frac{\omega_{01}}{2Q} \frac{I_{C1} \sin(\theta_2 - \theta_1 - \phi_1)}{I_1 - I_{C1} \cos(\theta_2 - \theta_1 - \phi_1)}, \quad (2)$$

$$\frac{d\theta_2}{dt} = \omega_{02} - \frac{\omega_{02}}{2Q} \frac{I_{C2} \sin(\theta_1 - \theta_2 - \phi_2)}{I_2 - I_{C2} \cos(\theta_1 - \theta_2 - \phi_2)}; \quad (3)$$

其中, $\theta_1 = \omega_{osc} t$, $\theta_2 = \omega_{osc} t + \psi$ 是 VCO 的输出相位, ψ 是 VCO 输出信号间的相位差,在稳定工作的正交压控振荡器里 $\psi = \pi/2$, ω_{osc} 是正交压控振荡器的振荡频率, Q 是品质因数, ω_{01}, ω_{02} 是 VCO 谐振腔的谐振频率.

正交信号间的相位误差 $\Delta \phi$ 是由 VCO 间的失配造成的,这些失配包括谐振频率的失配,电流大小的失配以及相移大小的失配,分别表示为: $\omega_{01} = \omega_0 + \Delta \omega/2$, $\omega_{02} = \omega_0 - \Delta \omega/2$, $I_1 = I + \Delta I/2$, $I_2 = I - \Delta I/2$, $I_{C1} = I_C + \Delta I/2$, $I_{C2} = I_C - \Delta I/2$, $\Phi_1 = \Phi + \Delta \Phi/2$, $\Phi_2 = \Phi - \Delta \Phi/2$.将这些失配关系带入到(2)式和(3)式

中,可以得到相位误差 $\Delta\phi$ 的表达式:

$$\Delta\phi = \frac{\cos\phi}{\sin\phi+m} \frac{\Delta I}{2I} - \frac{\cos\phi}{\sin\phi+m} \frac{\Delta I_C}{2I_C} - Q \frac{1+m^2+2m\sin\phi\Delta\omega}{m(\sin\phi+m)} + \frac{\Delta\phi}{2}; \quad (4)$$

其中, $m=I_C/I$ 为耦合系数. 当正交耦合路径上的相移为 0° 和 90° 时, 特别地有:

$$\Delta\phi_0 = \frac{1}{m} \frac{\Delta I}{2I} - \frac{1}{m} \frac{\Delta I_C}{2I_C} - Q \left(1 + \frac{1}{m^2}\right) \frac{\Delta\omega}{\omega_0} + \frac{\Delta\phi}{2} \quad \Phi=0^\circ, \quad (5)$$

$$\Delta\phi_{90} = -Q \left(1 + \frac{1}{m}\right) \frac{\Delta\omega}{\omega_0} + \frac{\Delta\phi}{2} \quad \Phi=90^\circ. \quad (6)$$

比较(5)式和(6)式发现, 通过在正交耦合路径上引入 90° 的相移, 可以使输出角度的正交性对电路的失配变得不那么敏感, 即, 可以在同样的失配情况下实现精度更高的正交信号. 在本文中, 为了降低相位误差对电路失配的敏感度, 采用由电阻 R_S 和电容 C_S 构成的 RC 相移网络来给正交耦合路径提供 90° 的相移.

另一方面, 由于 DMVCO 与传统的 QVCO 不同, 2 个 VCO 分别采用不同的谐振腔, 因此 2 个谐振腔自身的谐振频率误差 $\Delta\omega$ 是比较大的. 如(6)式所示, 尽管通过引入 90° 的相移可以减小电流失配的影响, 但是谐振频率的失配 $\Delta\omega$ 会直接恶化输出正交信号的相位关系. 因此, 为了减小 2 个压控振荡器 HB VCO 和 LB VCO 的谐振腔的谐振频率失配, 本文同时采用开关电容阵列(switched capacitor array, SCA)和开关可变电容阵列(switched varactor array, SVA)来对 2 个 VCO 的谐振频率进行精确控制, 即使得 2 个 VCO 在它们的频率交叠区域内的频率调谐特性尽量相同. VCO 的频率调谐特性包括调谐曲线间隔和调谐曲线增益两个方面. 为了保证调谐曲线间隔相同, 在本文中, 一个包含 16 个单元、尺寸各不同的 SCA 取代了传统的二进制权重的 SCA. 另一方面, 为了控制调谐曲线增益, 本文通过 SVA 来对 2 个 VCO 的调谐曲线增益进行控制. 同时, 为了应对谐振频率随工艺、电压和温度的变化而变化, SVA 的细调谐功能还能对电路进行进一步的校准. 除此之外, 由于在非频率交叠区域 2 个 VCO 不需要耦合产生正交信号, 因此, 为了减小设计的难度, 在 2 个 VCO 的交叠区域之外, 本文仍然采用 4 位传统的二进制权重 SCA.

2.2 频率自动校准(AFC)电路的设计

由于 VCO 采用了 SCA 结构, 因此在 PLL 的锁定过程之前, VCO 必须经过一个频率校准过程, 即, 选择一条合适的 VCO 调谐曲线以保证 PLL 能准确地锁定在所需要的频点. 本文采用片上集成的频率自动校准电路来完成快速、准确的频率校准过程, 以满足无线通信标准对 PLL 快速的要求.

图 5 所示为本文采用的 AFC 电路, 包括频率检测器(FD)和有限状态机(FSM). 当校准过程开始时, PLL 环路首先断开, VCO 的控制电压接到一个 0.6 V 的电压偏置, 同时 VCO 的输出频率被除以 4 以降低计数频率来减小计数器的功耗. 然后这个分频后信号 f_{div} 在计数周期 T_{gate} 内进行计数, 得到 N_{cnt} .

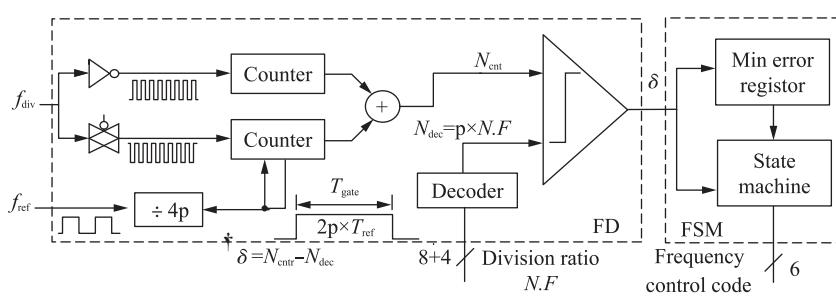


图 5 本文所使用的 AFC 电路结构

Fig. 5 Block diagram of the proposed AFC

在本文中, 为了提高校准速度以满足无线通信标准对快速锁定的要求, 采用 2 个并行的计数器代替单个计数器来对 f_{div} 进行计数. 同时, 为了减小校准中的小数误差以提高校准的精度, 不仅对整数分频比进行译码, 而且对部分小数分频比也进行译码, 最终得到译码结果为 $N_{\text{dec}} = N.F \times p$, 其中 p 等于 2^4 , 即对前 4 位小数分频比译码. 接着, 通过比较器得到差值 $\delta = N_{\text{cnt}} - N_{\text{dec}}$. 此时, 基于二进制搜索算法的 FSM 就

可以根据这个差值来进行相应的选频的操作,直至最后选择到最优的 VCO 调谐曲线为止.

2.3 VCO 选通器、除 2 除法器以及正交单边带混频器的设计

VCO 选通器的电路图如图 6^[4] 所示,采用基于电阻自偏置的反相器结构实现.由于 VCO 输出缓冲器也是基于反相器结构的,因此采用这种结构的选通器便于对整个反相器链路的性能与功耗进行优化.

由于基于源级耦合(source coupled logic, SCL)结构的除法器具有工作频率高、带宽大、可实现正交信号输出等优点,本文中除 2 除法器采用 SCL 结构,如图 7 所示.尽管无尾电流源的结构具有更高的工作频率以及更好的相位噪声性能,但是缺少尾电流源的控制,除法器输出分频信号的摆幅将变得不恒定,不利于后级分频器的设计,因此本文最终采用带尾电流源的 SCL 除 2 除法器.

QSSBM 由 2 个如图 8^[4] 中所示的单元构成,其中每个单元结构均由 2 个吉尔伯托单元构成.本文中的 QSSBM 用来产生工作在 5.015~5.850 GHz 频段的 802.11a 收发机所需要的载波信号,为了降低功耗采用电感电容谐振腔作为负载.同时,电感电容谐振腔的窄带特性还能对镜像杂散起到抑制作用.

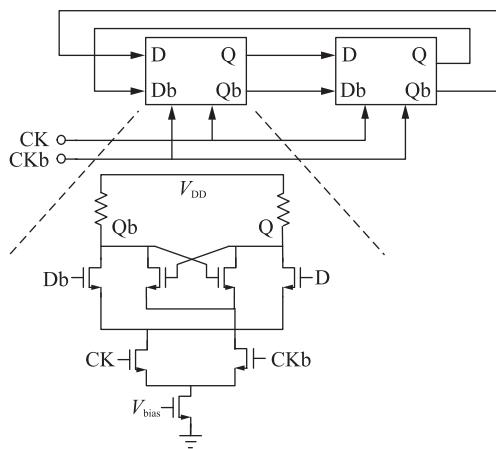


图 7 SCL 除 2 除法器

Fig. 7 SCL divide-by-2 circuit

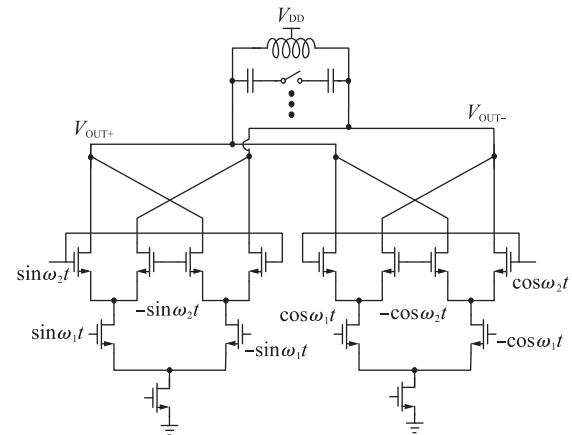


图 8 正交单边带混频器单元

Fig. 8 Circuit diagram of QSSB mixer cell

3 版图实现和系统仿真结果

本文中的频率综合器采用 TSMC 0.13 μm 工艺进行设计,版图照片如图 9 所示,核心面积约为 2.2 mm².图 10 是 DMVCO 中的 HB VCO 和 LB VCO 仿真得到的调谐曲线.从图 10 中可以看到,通过对调谐增益的控制以及对频带进行细校准,2 个 VCO 在它们的交叠区域具有几乎相同的调谐曲线特性,即,调谐曲线间隔为 60 MHz,调谐曲线增益为 80 MHz/V.

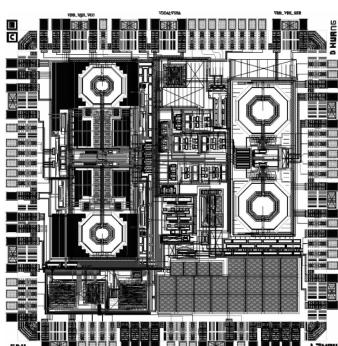


图 9 频率综合器的版图照片

Fig. 9 Layout of synthesizer

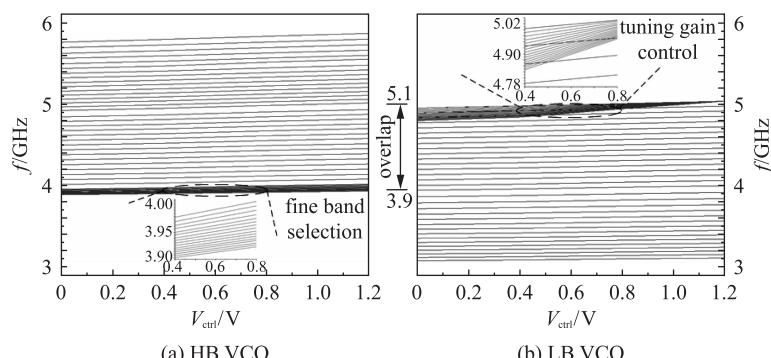


图 10 双模压控振荡器调谐曲线的仿真结果

Fig. 10 F-V curves with gain control and fine band selection

图 11 是仿真得到 QSSBM 的输出频谱, 其边带抑制比达到 45 dBc, 满足 34 dBc 的设计指标要求。图 12 是 PLL 锁定过程的仿真结果, 整个 PLL 的锁定时间, 包括 AFC 的校准时间在内, 不超过 60 μ s, 符合快速锁定的要求。图 13 是本文中频率综合器的相位噪声 (phase noise, PN) 系统仿真结果, 如图所示, 无论是针对要求低积分噪声的宽带无线通信协议 (WLAN), 还是针对要求低带外相位噪声的窄带无线通信标准 (GSM), 本文中的频率综合器都能较好满足标准要求。

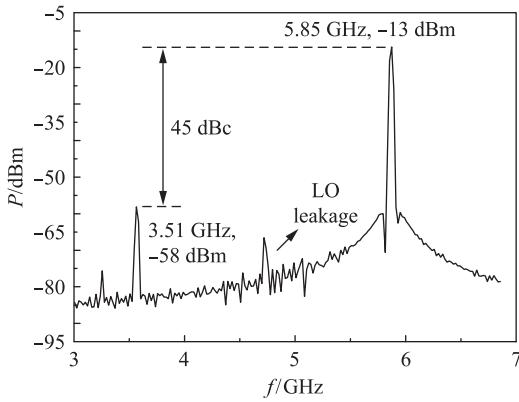


图 11 QSSBM 的输出频谱的仿真结果

Fig. 11 Simulated output spectrum of QSSBM

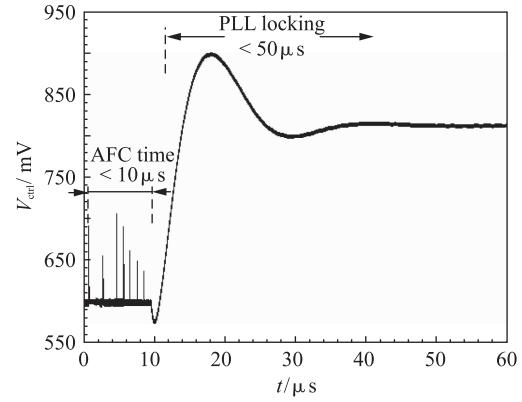
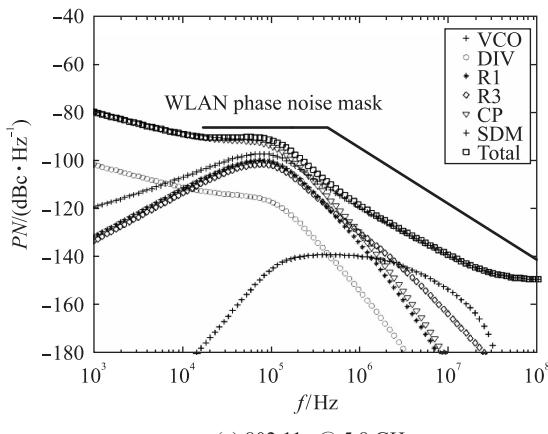
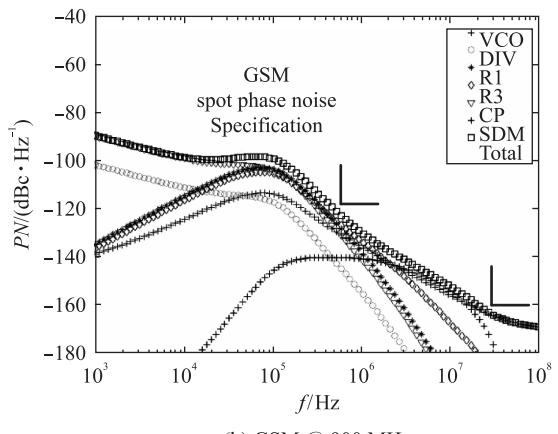


图 12 PLL 锁定过程仿真结果

Fig. 12 Simulated locking process of the PLL



(a) 802.11a @ 5.8 GHz



(b) GSM @ 900 MHz

图 13 系统仿真得到的频率综合器相位噪声性能

Fig. 13 Simulated phase noise of the frequency synthesizer

本文中的频率综合器与其他参考文献的性能比较如表 2 所示。在 0.13 μ m CMOS 工艺下, 本文中的频率综合器在消耗非常有限的功耗情况下, 覆盖了一个比较宽的频率范围, 并达到良好的相位噪声性能, 总体上符合适用于多种无线通信标准频率综合器的要求。

表 2 频率综合器性能对比

Tab. 2 Performance comparison with other works

来源	工艺	线宽/ μ m	面积/mm ²	功耗/mW	频率范围/GHz	相位噪声/(dBc · Hz ⁻¹)
Ref. [1]	CMOS	0.13	1.4	56	1.8~6	-119@1 MHz, LO: 4.2 GHz
Ref. [2]	CMOS	0.04	0.3	30	0.1~12	-149@20 MHz, LO: 3.6 GHz
Ref. [3]	BiCMOS	0.25	4.8	680	0.6~7; 10~14; 20~28	-121@1 MHz, LO: 4.0 GHz
本文 ¹⁾	CMOS	0.13	2.2	33~56	0.4~6	-122@0.6 MHz, LO: 0.9 GHz

1) 均为仿真结果

4 结 论

为了满足多种无线通信标准的要求,本文首先从系统指标上对频率综合器的设计进行了讨论,然后分析了传统多模频率综合器架构中的问题,提出一种基于双模压控振荡器的频率综合器架构。并采用TSMC 0.13 μm CMOS 工艺完成了频率综合器的电路和版图设计。仿真结果表明,本文中的频率综合器在整机功耗不大于 56 mW 的情况下,完全覆盖了无线通信标准 DVB-T, GSM, GPS, WCDMA, Bluetooth 以及 802.11 b/a/g WLAN 所在的工作频段,并基本满足各个通信标准的性能要求。

参考文献:

- [1] Huang D, Zhou J, Li W, et al. A fractional-N frequency synthesizer for cellular and short range multi-standard receiver [C] // International Symposium on Circuit and System (ISCAS). Paris, France: IEEE Press, 2010: 2071-2074.
- [2] Borremans J, Vengattaramane K, Giannini V, et al. A 86 MHz-12 GHz digital-intensive PLL for software-defined radios, using a 6 fJ/step TDC in 40nm digital CMOS [J]. *IEEE Journal of Solid-State Circuits*. 2010, **45**(10): 2116-2129.
- [3] Osmany S, Herzl F, Scheytt J. An integrated 0.6 - 4.6 GHz, 5 - 7 GHz, 10 - 14 GHz, and 20 - 28 GHz frequency synthesizer for software-defined radio applications [J]. *IEEE Journal of Solid-State Circuits*. 2010, **45**(9): 1657-1668.
- [4] Zhou J, Li W, Li N, et al. A 0.4 - 6 GHz LO generation system using a dual-mode VCO for software-defined radio application [C] // International Conference on Solid-state and Integrated Circuits Technology (ICSICT). Shanghai, China: IEEE Press, 2010: 740-742.
- [5] Mazzanti A, Andreani P. Class-C harmonic CMOS VCOs, with a general result on phase noise [J]. *IEEE Journal of Solid-State Circuits*. 2008, **43**(12): 2716-2729.
- [6] 江旭东, 李巍, 尹江伟, 等. 适用于多边带频分复用超宽带系统的 CMOS 频率综合器 [J]. 复旦学报: 自然科学版. 2008, **47**(6): 709-716.
- [7] Mirzaei A, Heidari M, Bagheri R, et al. The quadrature LC oscillator: a complete portrait based on injection locking [J]. *IEEE Journal of Solid-State Circuits*. 2007, **42**(9): 1916-1932.

A CMOS Frequency Synthesizer for Multi-standard Wireless Communications

ZHOU Jin, LI Wei, HUANG De-ping, LI Ning, REN Jun-yan

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: To fulfill the requirements of the multi-standard wireless communications, a CMOS frequency synthesizer is proposed, based on a fractional-N PLL, a quadrature single-sideband mixer and divide-by-2 dividers. The proposed synthesizer architecture based on a Dual-Mode VCO can cover the entire frequency band below 3 GHz and avoid the usage of the additional poly-phase filter. Automatic frequency calibration circuit is integrated with the synthesizer to guarantee fast and accurate PLL settling. The circuit is implemented in TSMC 0.13 μm CMOS process. Simulated phase noise is -127 dBc/Hz at 1.6 MHz offset from a 1.8 GHz carrier. The synthesizer achieves a continuous 0.4~6 GHz tuning range with less than 56 mW power.

Keywords: multi-standard wireless communications; VCO; automatic frequency calibration; frequency synthesizer